

研
究
开
发基于FPGA的HDLC与RS485
通信网关的设计

李成钢, 申 萍, 聂晓波

(北京交通大学 电气工程学院, 北京 100044)



作者简介: 李成钢 (1986-), 男, 硕士研究生, 研究方向为牵引控制与网络。

摘 要 : 针对CRH2型动车组国产化制动控制单元的联网问题, 分析了列车通信终端(Terminator)装置与制动控制单元(BCU)之间的通信方式, 设计一种用于国产化BCU的通信网关, 实现列车通信终端装置(HDLC协议)与国产化BCU(RS485协议)的通信协议的转换。最后在进口BCU试验台上, 验证了通信网关功能的完整性。

关键词 : HDLC协议; RS485协议; 光纤通信模块; IP模块; 制动控制单元; 列车通信终端装置; CRH2型动车组

中图分类号: TN915.05; TP274+.2 文献标识码: A 文章编号: 1000-128X(2011)01-0020-04

Design of Communication Gateway Between HDLC and RS485 Based on FPGA

LI Cheng-gang, SHEN Ping, NIE Xiao-bo

(School of Electrical Engineering, Beijing Jiaotong University, Beijing 100044, China)

Abstract: This paper introduced the networking problem of indigenous BCU for CRH2 EMUs and analyzed the communication mode between terminator and BCU. A communication gateway for indigenous BCU was designed and protocol conversion was achieved between terminator (HDLC) and BCU (RS485). The experiment which is based on import test bench verifies the integral function of the communication gateway.

Key words: HDLC protocol; RS485 protocol; optical fiber communication module; IP module; BCU; train communication terminator; CRH2 EMUs

0 引言

在CRH2型动车组中, 列车通信终端(Terminator)的通信协议采用HDLC协议, 国产化制动控制单元(BCU)采用RS485协议。本设计通信网关主要实现两者之间协议的转换。将列车通信终端的制动控制信号传输给国产化BCU; 同时, 来自国产化BCU的设备状态信息也可以通过网关传送至列车终端装置。

本设计在对HDLC协议和RS485协议分析的基础上, 通过Quartus II与Nios II软件, 采用Verilog HDL语言设计HDLC通信控制IP模块, 利用SOPC技术, 将定制的HDLC通信控制IP模块, 串口通信模块与NIO5软核处理器集成下载到FPGA中, 实现HDLC协议到RS485协议的转换, 用于列车通信终端与国产化的BCU之间的通信, 解决国产化BCU的联网问题。

1 通信网关体系结构

通信网关与外部接口的连接示意图如图1所示。列车通信终端发出的控制信号通过光纤传送, 进入通信网关的光纤接口, 并转为电信号输入到微控制器中, 同时对采用HDLC协议的信号进行编解码处理, 处理后的信号输出到定制的UART模块, UART模块将数据串行输出到支持RS485协议的芯片中转换为RS485信号, 最后将信号发送至国产化BCU上的RS485接口, 完成列车通信终端到国产化BCU间的通信。类似地, 国产化BCU到列车通信终端的通信也是基于信号接收、信号

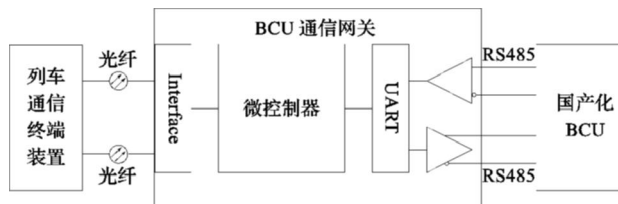


图1 网关结构与外部接口示意图

收稿日期: 2010-01-20; 收修改稿日期: 2010-03-22

编解码和信号发送这样一个流程进行的。

2 HDLC协议与RS485协议

HDLC高级数据链路控制(High-Level Data Link Control)是一个在同步网上传输数据、面向比特的数据链路层协议。在HDLC协议中,数据和控制报文均以帧的标准格式传送HDLC帧结构。图2为HDLC协议帧结构。

起始标志	地址A	控制C	信息I	帧校验	结束标志
------	-----	-----	-----	-----	------

图2 HDLC协议帧结构

HDLC完整的帧由标志字段(F)、地址字段(A)、控制字段(C)、信息字段(I)、帧校验序列字段(FCS)等组成。

标志字段为01111110的比特模式,用以标志帧的起始和前一帧的终止,采用“0比特插入法”可以实现数据的透明传输。地址字段的内容取决于所采用的操作方式。控制字段用于构成各种命令和响应,以便对链路进行监视和控制。信息字段可以是任意的二进制比特串,为传输的数据。帧校验序列字段使用16位CRC,对2个标志字段之间的整个帧的内容进行校验,车辆控制终端通信协议的FCS生成的多项式为 $X^{16}+X^{12}+X^5+X^1$ 。

工业应用场合的通信节点多,位置分散,通信距离远,因此要求采用最少的连线完成通信任务。RS485正是在这一应用需求下产生的。采用图3的平衡差分电路是RS485的最大特点。其一根导线上的电压是另一根导线上的电压值取反。接收器的输入电压为这2根导线电压的差值 $V_A - V_B$ 。当差值为2~6V时,代表逻辑电平“1”,当差值为-2~-6V时,代表逻辑电平“0”。采用差分电路的优点是抑制噪声和不受节点间接地电平差异的影响。RS485适用于多台计算机或带微控制器的设备之间的远距离数据通信。

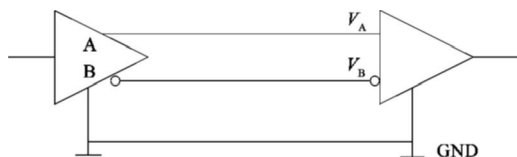


图3 平衡差分电路

在CRH2型动车组中,列车通信终端通过光纤传输的信号与国产化BCU通过连线传输的信号即分别采用HDLC协议与RS485协议。

3 光纤通信模块设计

光纤通信模块用于采集从列车通信终端光纤接口传输的数据。光纤通信模块采用820 nm光纤模块。光纤发送模块主要由功率驱动模块,光发送器模块组成;光纤接收模块主要由光接收器和施密特触发器组成。

功率驱动模块保证有足够的光功率耦合到光纤中,以实现信号的准确快速传送。光发送器的内部是

一个发光二极管,当有一定的电流流过时,二极管发光,光信号通过光纤传送到光接收器。施密特触发器用来减小输出信号的谐波,使输出信号畸变小。光接收器的内部是一个集电极开路的三极管,当光纤中有足够的光信号时,三极管导通,输出电平为低;当光纤没有光信号时,三极管截止,输出电平被外接电源上拉为高电平。图4所示为光纤发送器与接收器原理图。

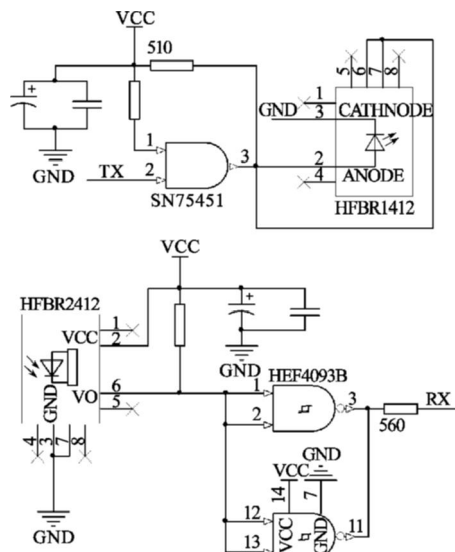


图4 发送器与接收器原理

4 BCU通信控制IP模块

4.1 IP模块

BCU通信控制IP模块主要实现HDLC协议到RS485协议的转换。本设计分编码器、解码器、通信存储器和Avalon总线接口4部分来实现BCU通信控制IP模块。

整个IP模块的设计采用Verilog HDL语言和原理图输入结合的方法,按照实现功能的不同将IP模块划分为几个可实现的底层模块,文件的结构如下所示:

```

avalon_hdlc_interface.v //编码器和解码器与CPU的接口逻辑程序;
——hdlcencoder_task_logic.v //编码器的控制逻辑;
——Verilog_crc.v //CRC校验逻辑;
——hdlcdecoder_task_logic.v //解码器的控制逻辑;
——Verilog_crc.v //CRC校验逻辑;
avalon_dram.v //通信存储器与CPU的接口逻辑;
——dram.v //通信存储器的实现逻辑

```

当列车通信终端发送数据时,终端发送的HDLC帧结构数据进入IP模块的解码器,解码器实现接收波形的位同步,将接收数据解析出来,之后将数据写入通信存储器,CPU读出接收的有效数据,再通过UART内核的发送端将数据送到485芯片ISL83490,将数据以485

电平发送至国产BCU。

当国产BCU发送数据时,BCU发送的数据经过485芯片ISL83490后进入UART内核的接收端,之后通过CPU将数据写入通信存储器的相应地址,IP模块的编码器从通信存储器读出数据,并完成符合HDLC帧结构的NRZI编码和CRC校验,最后将数据以HDLC帧格式发送至列车通信终端。

整个IP模块与应用处理器CPU的接口由Avalon总线接口模块完成。

4.2 编码器和解码器

编码器采用有限状态机来设计。具体实现方法是将HDLC数据帧从起始标志至结束标志的每一位都定义为一个特定的状态,利用always语句和case语句,在时钟的正跳变下,系统状态机从一个状态转移到另一个状态。

编码器的有限状态机的状态转移图如图5所示。首先在复位信号RST的作用下进入发送等待状态，CPU将发送的数据写入通信存储器，并将发送使能置位。当收到发送使能信号后，进入帧的发送状态。通过时钟信号的触发，完成各个状态之间的转移，完成一组有效帧的发送。在HDLC数据和CRC校验序列发送状态时，每检测到有连续的5个“1”出现，状态机就转移到零比特填充状态，完成零比特填充后返回下一个状态。

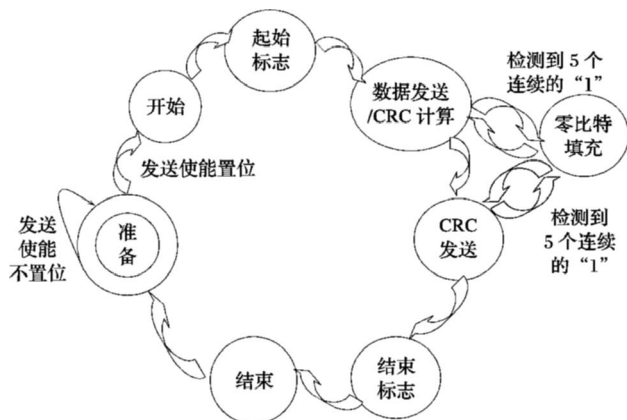


图 5 编码器状态转移图

跟编码器设计类似,解码器也是在有限状态机的转移下实现的。这部分重点考虑的问题是如何准确判断到数据起始标志,从而实现有效数据帧的识别。具体设计为:

首先,设置时钟分频模块,将采样频率设定为信号频率的5倍。

然后,定义一个6位的移位寄存器shift_reg,将每次采样到的串行数据indata移位存入其中,移位组合语句为shift_reg={ shift_reg[4:0], indata },因为信号采用NRZI 编码,所以将移位寄存器的最低位与最高位进行同或运算便可以判断输入信号是“0”还是“1”。

最后,根据以上方法,当检测到线路上信号跳变

时,进入解码状态机,判断读入数据是否为起始标志“01111110”;若是,则进入数据解码,否则返回起始等待状态。这样解码器在状态机的跳转下,依据约定的帧格式进行数据接收。若解码器发现错误(如起始标志不符合标准格式、CRC校验错误等),则状态机回到起始等待状态;若数据接收准确无误,控制逻辑将产生一个合法标志信号。

4.3 通信存储器

通信存储器是由NIO S软核处理器和底层编解码逻辑共同访问的共享存储器。由Quartus II 中的MegaWizard plug-in Manager工具产生一个具有独立时钟的双端口RAM。它有2套可读可写RAM (a和b), RAM a 与编解码器相连, RAM b与软核处理器相连。处理器通过RAM b将传送的数据信息写入通信存储器, 等待编码器从RAM a中读出并编码发送, 而解码的数据通过RAM a写入通信存储器, 从而被处理器读出。图6为通信存储器模块示意图。

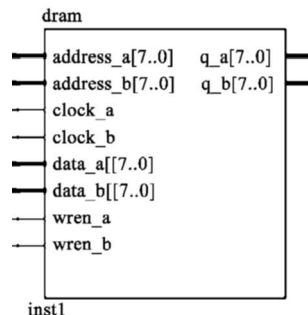


图 6 通信存储器模块示意图

4.4 Avalon 总线接口

Avalon总线是一种相对简单的总线结构,主要用于连接片内处理器与外设,以构成SOPC系统。Avalon总线描述了主、从设备之间的端口连接关系以及设备之间通信的时序关系。

只有主设备才能发起总线传输， 自定义BCU控制IP模块属于系统的从设备，设计总线接口要符合总线从读和总线从写的传输结构及时序要求，从而能够简单可靠地将处理器和外围设备连接起来构成一个SOPC系统。

Avalon接口设计需要考虑传输数据的宽度是多少位、需多大的地址空间等因素,在具体设计中分2个模块来实现接口信号的时序:avalon_hdlc_interface.v(编码器和解码器逻辑的Avalon接口时序)和 avalon_dram.v(通信存储器的Avalon接口时序)。

5 通信网关功能验证试验

为了验证通信网关的协议转换功能,在现场进行了列车通信终端与国产化BCU的通信试验。通信网关与列车通信终端、国产BCU的接口连接如图1所示,经过通信网关的HDLC协议与RS485协议转换,当列车通信终端发出状态数据请求时(SDR),国产BCU立即返回响应状态数据(SD)。图7为列车通信终端发送的状态数据和BCU返回的状态数据波形图,图8为通信网关与国产BCU连接实物图。

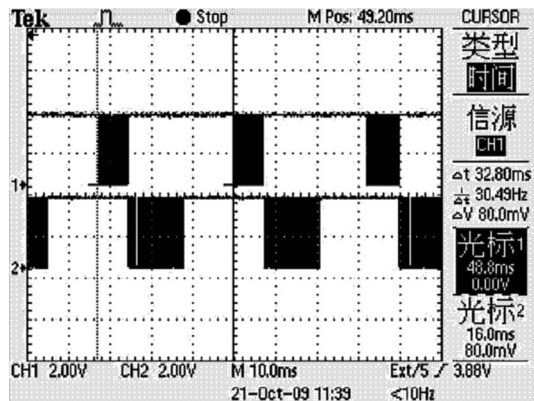


图 7 列车通信终端与 BCU 数据波形图

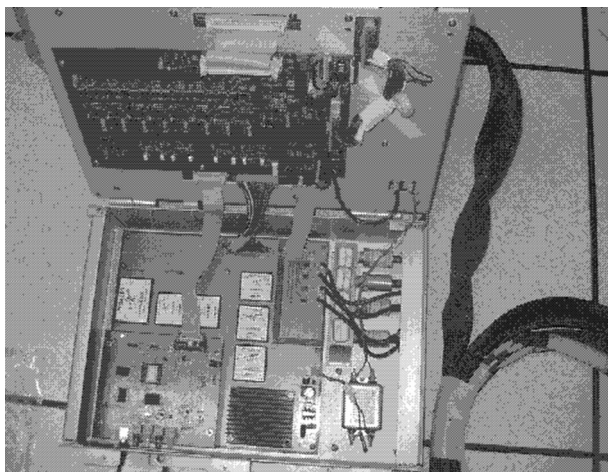


图 8 通信网关与国产 BCU 连接实物图

6 结束语

本文通过对 CRH2 型动车组列车控制终端与国产化 BCU 联网问题的分析, 设计了一种基于 FPGA 的 HDLC 协议与 RS485 协议通信网关, 同时给出了光纤通信模块以及 BCU 通信 IP 模块的设计方案, 最后经过列车通信终端与国产化 BCU 的通信试验, 验证了该通信网关性能可靠, 满足设计要求。

参考文献:

- [1] 内田清五. 日本新干线列车制动系统 [M]. 北京: 中国铁道出版社, 2004.
- [2] 彭俊彬. 动车组牵引与制动 [M]. 北京: 中国铁道出版社, 2007.
- [3] 李兰英. Nios II 嵌入式软核 SOPC 设计原理及应用 [M]. 北京: 北京航空航天大学出版社, 2006.
- [4] 阳宪惠. 工业数据通信与控制网络 [M]. 北京: 清华大学出版社, 2003.
- [5] 张必英. 基于 FPGA 的 HDLC 协议控制器的设计 [D]. 哈尔滨: 哈尔滨工程大学, 2005.

(上接第 19 页)

4.4 空隙宽度对装置非制动状态的影响

保持其他参数不变, 在转速为 25 r/s (列车速度 243 km/h) 的运动状态下, 使空隙宽度不断增加, 得到改变空隙宽度对阻力功耗的影响, 如图 7 所示。

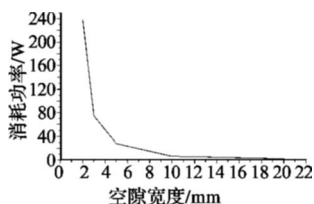


图 7 改变空隙宽度的影响图

可以看出, 随着空隙宽度的增加, 列车正常运行时该机构对消耗的功率不断减小, 根据这个变化趋势, 当空隙宽度增加到一定程度, 可以对该影响忽略不计。但考虑到随着空隙宽度增加, 在工作状态制动功率也会减小, 最好在 3 mm 左右。所以单纯采取增大空隙宽度不能改变该机构影响列车运行的情况。

5 结语

通过对旋转型永磁涡流制动装置的瞬态分析, 得

到了不同速度条件下的制动功率, 并对在非工作状态下制动装置 4 个带来阻力的方面进行了分析, 得出在设计永磁涡流制动装置时必须兼顾制动功率和非工作状态时的阻力。

参考文献:

- [1] 饶 忠. 列车制动 [M]. 北京: 中国铁道出版社, 1998: 6-8.
- [2] 蒋冬清, 杨 琛, 倪文波, 等. 基于 ANSYS 的永磁涡流制动机磁场分析 [J]. 铁道机车车辆, 2009(5): 8-10.
- [3] 孙明礼, 胡仁喜, 崔海蓉, 等. ANSYS 10.0 电磁学有限元分析实例指导教程 [M]. 北京: 机械工业出版社, 2007.
- [4] 内田清五 (日). 永磁涡流制动装置的基本特性 [J]. 变流技术与电力牵引, 2001(4): 27-30.
- [5] 赵小波, 姬长英, 黄亦其, 等. 永磁式涡流缓速器涡流分析及制动力矩计算 [J]. 机械设计, 2008(11): 62-65.
- [6] 蒋冬清. 旋转型永磁涡流制动装置的研究 [D]. 成都: 西南交通大学, 2009.
- [7] Gay S E. Analysis and experimental testing of a permanent magnet eddy-current brake [C]// Vehicle Power and Propulsion. 2005 IEEE Conference, 2005: 756-765.